

Un ricercatore, esperto in calcolatori elettronici, vi interpellava per ottenere un brevetto su un sistema da lui studiato.

E' attualmente molto diffuso il sistema detto "multiprocessing" cioè l'interconnessione tra di loro di molti processori, anche distanti uno dall'altro, in modo da poter condividere risorse comuni e da scambiarsi messaggi e dati.

Di solito per ottenere questo collegamento si utilizza una linea multipla detta "bus" oppure una memoria che di volta in volta vengono assegnati da un dispositivo di gestione, detto "arbitro", ad uno o più processori per quel determinato scambio di informazioni.

Tutto questo non funziona bene ed io ho trovato una via che mi sembra efficace e funzionale: invece di usare una semplice memoria per effettuare lo scambio di informazioni o una linea (bus) che di volta in volta viene abilitata tra una coppia di computer, ho pensato di usare una specie di anello di memoria sequenziale ad accesso multiplo. Questa memoria è costituita sostanzialmente da un certo numero di registri a scorrimento collegati ad anello, entro il quale circolano fino al prelievo tutti i dati immessi dai vari processori.

Prima di spiegare, con l'aiuto dei disegni che ho allegato, come è fatta e funziona la mia realizzazione, desidero elencare gli inconvenienti che hanno i sistemi attualmente in uso, e che con il mio sistema vengono ovviati.

Gli inconvenienti sono:

- 1) indisponibilità del mezzo per gli altri processori mentre è in corso un colloquio tra due di essi. La conseguenza è la formazione di code di attesa da parte di tutti i processori e quindi un notevole rallentamento della velocità complessiva del sistema;
- 2) complessità circuitale e di programma per poter gestire le code;
- 3) limitazione alla espandibilità del numero dei processori che possono far parte del sistema a causa delle limitazioni intrinseche connesse all'adozione dell'"arbitro".

Il mio sistema invece è semplice, è sempre disponibile per tutti i processori, non ha bisogno di "arbitro", riduce drasticamente le code di attesa e può facilmente variare istantaneamente la sua capacità di memoria adattandosi alla bisogna.

Se ora diamo una occhiata agli schemi, ho rappresentato tutto il sistema nella fig. 1 e nella fig. 2 in dettaglio praticamente il cuore del sistema: le interfacce IN.

Se prendiamo in esame la fig. 1, vediamo che A è la mia memoria sequenziale ad anello ad accesso multiplo; $P_1 \dots P_n$ sono i processori da collegare; $IN_1 \dots IN_n$ sono le interfacce tra i processori e la memoria A; BT è la base tempi che fornisce sul filo 1 tutte le temporizzazioni necessarie; infine $SH_1 \dots SH_n$ sono normali registri a scorrimento. Ancora $b_1 \dots b_n$ sono dei bus di collegamento tra i diversi processori P e le relative interfacce IN; la connessione 2, costituita da m fili, collega ciascun registro a scorrimento alle due interfacce contigue. Le frecce indicano se il collegamento è bidirezionale o no.

I registri a scorrimento, compresi quelli appartenenti alle interfacce, possono essere di qualsiasi lunghezza, anche nulla, ed avere un grado di parallelismo adeguato al quantitativo m dei dati D che devono essere trasferiti contemporaneamente ad ogni impulso del segnale di orologio CK, emesso da BT.

Se ora esaminiamo la fig. 2, vediamo un tipo possibile di interfaccia IN che utilizza due normali registri a scorrimento RG1, RG2 di capacità anche diversa tra loro.

Naturalmente sono gli stessi di fig. 1 i simboli: A, b_i , P_i , IN_i ed i fili 1, su cui è presente il segnale di orologio CK generato da BT, e 2, connessione di m fili su cui circolano i dati D. Mentre:

- IO è un normale circuito di ingresso e uscita, costituito generalmente da porte logiche, connesso da una parte al bus b_i e dall'altra ai restanti blocchi della interfaccia IN_i ;
- S1, S2 sono due normali deviatori (multiplexer) a due vie e due posizioni; LC1 è un circuito logico atto a ricevere informazioni da IO e da A e a comandare il posizionamento dei multiplexer S1, S2 e la scrittura e lettura nei registri RG1, RG2.

LC1 riceve il consenso ad effettuare lo scambio nei multiplexer S1, S2 da un normale circuito di confronto, qui utilizzato come riconoscitore di area di lavoro, RA che emette detto consenso quando riconosce opportune parole di segnalazione (label), transitanti sull'anello A, mediante il confronto con analoghe parole che riceve da IO.

Vengono di seguito esaminate le funzioni del circuito logico LC1, e per conseguenza quelle della intera interfaccia IN_i .

Se i multiplexer S1, S2 sono posizionati come in figura, il registro RG1 è inserito nell'anello A, mentre il registro RG2 è a disposizione dell'interfaccia IN_i .

In queste condizioni LC1, in base alle direttive che riceve attraverso IO da P_i , si limita a trasferire a RG1 il segnale di orologio CK, che riceve dall'anello A mediante il filo 1, e a temporiz-

zare RG2 con un suo proprio tempo interno in modo da permettere il caricamento dei dati provenienti da IO e/o lo scaricamento degli stessi verso IO.

Al termine di queste operazioni, il processore Pi è in grado di comandare lo scambio dei registri RG1 e RG2 mediante i multiplexer S1 e S2, operando nel modo seguente: Pi fornisce a LC1, tramite IO, un opportuno segnale di consenso allo scambio che diventa operante quando si verifica la coincidenza con il consenso generato da RA.

Lo scambio tra RG1 e RG2 avviene in modo sincrono rispetto al segnale di orologio CK presente sul filo 1, in modo da non interferire sul flusso normale dei dati D transitanti sulla connessione 2 e quindi su A.

Ovviamente se le lunghezze di RG1 e di RG2 sono entrambe non nulle l'operazione di scambio permette la contemporaneità tra l'immissione di nuovi dati nella memoria ad anello A e il prelievo di dati dalla stessa; in particolare se le lunghezze di RG1 e RG2 sono diverse, ad ogni commutazione si ha una variazione istantanea della capacità complessiva dell'anello A.

Qualora una delle due lunghezze di RG1 e RG2 sia nulla si ha ad ogni scambio o la sola immissione di dati in A o il solo prelievo. Ovviamente il caso in cui entrambi i registri RG1 e RG2 siano di lunghezza nulla è privo di significato.

Come abbiamo visto, l'identificazione dei blocchi di informazione circolanti in A è affidata a opportune parole di segnalazione (label) che precedono immediatamente ciascun blocco; in tal modo ciascuna interfaccia IN deve essere dotata di un organo di riconoscimento RA di tali etichette.

E' però possibile disporre ovviamente di un organo centralizzato rispetto all'anello, preposto a segnalare tramite opportuni collegamenti diretti alle diverse interfacce l'identificazione dei blocchi di informazione circolanti in A.

A questo punto, o l'organo centralizzato è idoneo a segnalare alle varie interfacce IN quale è il blocco di informazioni che può essere di loro interesse, o sono i processori relativi alle varie interfacce a decidere se quel dato blocco può interessare loro o meno.

Pertanto, le interfacce IN dei sistemi che prevedono detto organo centralizzato di segnalazione non hanno bisogno del blocco indicato con RA nella fig. 2, ma sarà sufficiente che le informazioni di segnalazione dell'organo centralizzato giungano al circuito logico indicato con LC1.

Ovviamente è possibile dislocare una o più delle interfacce IN in luoghi posti anche a grande distanza dal resto del sistema, senza per questo alterare o sminuire le caratteristiche del mio sistema.

Per raggiungere questo scopo sarà, per esempio, sufficiente connettere le interfacce remote al resto dell'anello mediante una normale linea di trasmissione bidirezionale sincrona.

