

Il vostro cliente vi mette a parte di un suo progetto e vi chiede di brevettarlo:

Sono a conoscenza del fatto che v'è molta richiesta nel mercato dell'elettronica di memorie non volatili, cioè di memorie robuste che conservano indefinitamente i dati registrati anche se non alimentate elettricamente.

Vi sono vari tipi di memorie non volatili; il tipo più comune e diffuso è quello a semiconduttori ma è prodotto da grosse istituzioni e non v'è posto per i nuovi arrivati.

Recentemente è stato introdotto nella tecnica un ottimo tipo di memoria non volatile che si basa sulla utilizzazione di materiali amorfi quali i cosiddetti vetri calcagenuri, che sono vetri contenenti almeno uno degli elementi del VI gruppo della tabella periodica degli elementi.

Questi materiali, sotto l'effetto di sollecitazioni termiche, generate per esempio elettricamente, passano in modo brusco e reversibile dallo stato amorfo allo stato cristallino e viceversa.

Quello che importa è che la resistività elettrica di questi materiali è molto elevata ($\sim 300 \text{ k}\Omega$) nello stato amorfo, mentre diventa relativamente bassa (500Ω) nello stato cristallino.

E' chiaro che facendo corrispondere allo stato di alta resistività il valore logico, per esempio 0 e, quindi, allo stato di bassa resistività il valore logico 1 si possono costruire delle memorie.

Le memorie che si conoscono, realizzate con questo principio, sono del tipo a matrice e le relative celle sono costituite da depositi di questi materiali amorfi collocati nei punti di incrocio delle righe e delle colonne della matrice.

Per scrivere e leggere ciascuna cella è sufficiente selezionare il relativo indirizzo riga-colonna; ovviamente in particolare in lettura il contenuto della memoria è ottenuto rilevando, con adeguati circuiti di misura, la resistenza delle celle selezionate.

Questo è un inconveniente che ha causato la scarsa diffusione di questo nuovo tipo di memoria non volatile; infatti, in generale, i livelli di resistenza non possono essere riconosciuti direttamente dai circuiti logici di utilizzazione che sono a valle della memoria e

pertanto occorre prevedere dispositivi di lettura che fungano da interfacce di trasferimento per convertire detti livelli di resistività in livelli logici di tensione, che possano essere operativi.

Generalmente queste interfacce sono molto complesse, poco affidabili e costose. Infatti funzionano generando una corrente di lettura che viene inviata nella cella selezionata e rilevando poi la caduta di potenziale ai capi delle celle; pertanto hanno bisogno di mezzi distinti per inviare la corrente di lettura e per discriminare tra i due valori di tensione corrispondenti ai due stati di resistività del materiale. Per di più, proprio per non incidere eccessivamente sul costo, queste interfacce sono previste per la lettura di blocchi di celle corrispondenti ad una intera parola binaria; questo si traduce però in una limitazione delle flessibilità di impiego della memoria.

Il mio progetto è invece di costruzione semplice e perciò poco costoso, di funzionamento sicuro e veloce e presenta una notevole flessibilità di impiego, permettendo la lettura di singole celle.

Cerco ora di spiegarlo con l'ausilio di qualche schema.

In generale la disposizione comunemente utilizzata per queste memorie è quella di fig. 1. I dati della sorgente S arrivano a un dispositivo di scrittura DS, che li scrive nella memoria MO nella cella particolare individuata dal dispositivo di indirizzamento DA. La lettura avviene tramite il dispositivo di lettura DL, prelevando i dati dalle celle indirizzate dallo stesso dispositivo DA e inviandoli ai circuiti di utilizzazione U.

Il mio progetto è relativo solo alla lettura della memoria in quanto il sistema di scrittura è soddisfacente e non presenta problemi.

Nella fig. 2 ho schematizzato alcune celle della memoria MO e il dispositivo di lettura come l'ho progettato io.

I circoletti $O_{1m} \dots O_{nm}$ sono le celle di MO della m-esima colonna e delle righe da 1 a n.

$P_1 \dots P_i \dots P_n$ sono preferibilmente delle porte logiche di tipo NAND, per esempio di tipo TTL a bassa potenza. Per garantire il miglior funzionamento queste porte dovrebbero essere costruite secondo lo schema di fig. 3. $D_1 \dots D_i \dots D_n$ sono dei diodi comuni che servono a proteggere le porte $P_1 \dots P_n$ nel senso di impedire l'arrivo alle porte stesse degli impulsi di scrittura eventualmente presenti sulle righe della memoria. Tali diodi possono mancare nel caso di memorie a sola lettura.

La connessione a è costituita da uno o più fili e ha il compito, quando è collegata a massa, di forzare le uscite di tutte o alcune delle porte $P_1, P_2 \dots P_n$ a un livello logico prestabilito. Più precisamente, se la connessione a è costituita da un filo, essa azzerà

ovviamente tutte le porte P, se è costituita da più fili, ognuno di essi collegato ad una o più porte P, essa azzerà le porte connesse al filo considerato.

Nelle fig. 3 ho rappresentato in dettaglio la struttura base elementare di una delle porte P_i del mio progetto. Mi permetto di far notare che da sole queste porte assolvono al compito di fungere da generatori della corrente di lettura per le celle della rispettiva riga, da rilevatori dello stato resistivo delle celle stesse e da traslatori di livello per fornire un'uscita compatibile con la logica dei circuiti di utilizzazione.

Descrivo ora i componenti di fig. 3.

TR₁ è un normale transistor che, nell'esempio particolare considerato in cui si fa uso di porte NAND, è un transistor multi-emettitore, avente i due emettitori collegati rispettivamente al filo i ed alla connessione a, e costituenti gli ingressi della porta P_i. Gli altri transistori TR₂, TR₃, TR₄ sono di tipo noto. R₁, R₂, R₃, R₄ sono resistenze che determinano le condizioni di funzionamento a saturazione o interdizione (on-off) dei transistori, e D_x è un normale diodo.

Nella mia applicazione, praticamente il gruppo formato dal transistor TR₁ e dalla resistenza R₁ ha le funzioni di sensore dello stato di resistività delle celle di memoria.

Il gruppo TR₂, R₂, R₃ ha la funzione di amplificare il segnale ricevuto da TR₁ e di fornirlo, con polarità opposte, alle sue due uscite verso TR₃ e TR₄.

I transistori TR₃, TR₄, la resistenza R₄ ed il diodo D_x hanno le funzioni di stadio di uscita.

Il circuito di fig. 3 può essere realizzato con i componenti che io ho elencato da qualsiasi tecnico del ramo, oppure può essere costituito da un normale circuito integrato reperibile in commercio. Va però notato che, mentre nell'uso corrente il circuito di fig. 3, che costituisce essenzialmente una porta NAND, viene utilizzato esclusivamente come componente logico che in funzione della configurazione dei livelli logici in tensione presenti ai suoi ingressi fornisce un determinato livello logico in uscita, secondo la presente invenzione invece il circuito viene impiegato in modo tutt'affatto nuovo: infatti ai suoi ingressi non vengono applicati dall'esterno livelli logici in tensione, bensì viene utilizzato uno degli ingressi per inviare nella cella di memoria la corrente base-emettitore del transistor TR₁ della porta stessa. Detto transistor funziona quindi sia da generatore della corrente di lettura, sia da sensore dello stato di resistività.

Il funzionamento è il seguente: supponendo per il momento la connessione a non collegata a massa, si consideri il caso in cui l'emettitore di TR₁ (fig. 3) collegato al filo i, veda una resistività

bassa, cioè il materiale della cella di memoria esaminata in quel dato momento si trovi nello stato cristallino.

Scegliendo la tensione di alimentazione V_a in modo che la giunzione base-emettitore di TR_1 sia polarizzata direttamente, vi sarà una corrente base-emettitore I_{BE} che fluisce attraverso il filo i . In tali condizioni TR_1 lavora in saturazione e quindi il suo collettore si troverà a un livello di tensione molto vicino a quello dell'emettitore. A causa della caduta di potenziale attraverso R_1 provocata da detta corrente base-emettitore di TR_1 e della bassa resistività sul filo i , detto livello di tensione sarà molto inferiore alla tensione di alimentazione V_a e si può considerare praticamente uguale alla tensione di massa.

Questo è quello che importa ai fini del mio progetto. Quello che ne consegue nel circuito fino al filo di uscita r_1 è perfettamente chiaro e noto per un tecnico, ma proseguirò nella spiegazione per ragioni di migliore chiarezza.

In queste condizioni la base di TR_2 , collegata direttamente al collettore di TR_1 , è anch'essa sostanzialmente a massa e, dato il dimensionamento di R_2 e R_3 nel circuito di TR_2 , detto transistor viene interdetto.

L'interdizione di TR_2 fa sì che non vi sia passaggio di corrente sulla via R_2 , TR_2 , R_3 , per cui la base di TR_4 si trova sostanzialmente al potenziale V_a , mentre la base di TR_3 è sostanzialmente a massa. In queste condizioni, TR_4 conduce alla saturazione e TR_3 è interdetto, per cui sul filo di uscita r_1 , supposto che vi sia una corrente trascurabile, a parte una debole caduta di potenziale attraverso la giunzione collettore-emettitore di TR_4 e il diodo D_x , vi sarà un livello di tensione prossimo a V_a , che, per esempio, può essere assimilato a un 1 logico.

Considerando ora il caso in cui il filo i sia collegato a una resistività elevata cioè il materiale della cella di memoria selezionata si trovi nello stato amorfo. Attraverso R_1 , la giunzione base-emettitore di TR_1 e il filo i circolerà una corrente molto piccola, e sia la base che l'emettitore di TR_1 si porteranno a potenziale alto (cioè sostanzialmente al potenziale V_a) portando a livello elevato anche il collettore di TR_1 .

Anche qui la conseguenza sulla uscita è logica e ovvia.

Quanto detto prima fa sì che si porti a potenziale elevato anche la base di TR_2 . Dato il dimensionamento di R_2 e R_3 , TR_2 conduce alla saturazione, ed in queste condizioni i livelli di potenziale del suo collettore, e quindi del suo emettitore, sono tali che la base di TR_4 che prima era a potenziale V_a , si porta sostanzialmente a massa interdicendo TR_4 , mentre la base TR_3 passa dal potenziale di massa ad un potenziale elevato, facendo condurre alla saturazione TR_3 . Sul filo di uscita r_1 vi sarà allora il potenziale di massa, che, per esempio, può essere assimilato a un 0 logico.

Supponiamo ora che la connessione a sia collegata a massa. In questo caso si ottiene il risultato di forzare al valore logico $\underline{1}$ l'uscita della porta P_i , indipendentemente dallo stato del filo i , cioè dallo stato della cella di memoria, resettando così l'intero dispositivo di lettura.

Infatti, in queste condizioni vi è un passaggio di corrente tra R_1 , TR_1 e la connessione a per cui il dispositivo si trova nelle stesse condizioni in cui si trovava quando al filo i era collegata una bassa resistività.

Va doverosamente notato che nell'uso convenzionale una porta del tipo rappresentato in fig. 3 è esclusivamente comandata mediante tensioni applicate ai suoi ingressi collegati ai fili i ed a , e in nessun caso sono noti comandi operati mediante variazioni di carichi resistivi su detti ingressi. Ciò equivale a dire che il comando della porta è fatto con elementi puramente passivi e che per il funzionamento del dispositivo viene sfruttata la corrente derivabile all'ingresso della porta.

E' ovvio che l'unico caso di similitudine con la tecnica convenzionale di comando in tensione si ha quando la resistenza applicata al filo i è molto bassa, (il che equivale al forzamento a zero, con un comando in tensione, del filo stesso), mentre in nessun caso nella applicazione secondo la nostra invenzione viene forzato un livello logico $\underline{1}$ (cioè una tensione vicina a V_a) su detto filo di ingresso.

Va detto che gli elementi logici P potrebbero anche essere costituiti da porte di tipo AND oppure da semplici invertitori, entrambi utilizzati in modo anomalo, come descritto in precedenza. In particolare è da notare che nel caso di elementi logici P costituiti da invertitori, il transistor TR_1 in generale avrebbe un solo emettitore, per cui non sono ovviamente possibili le funzioni descritte con riferimento alla connessione a.

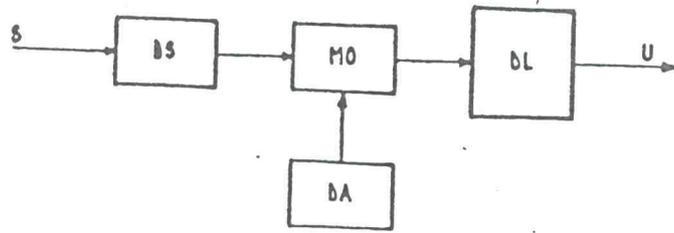


Fig.1

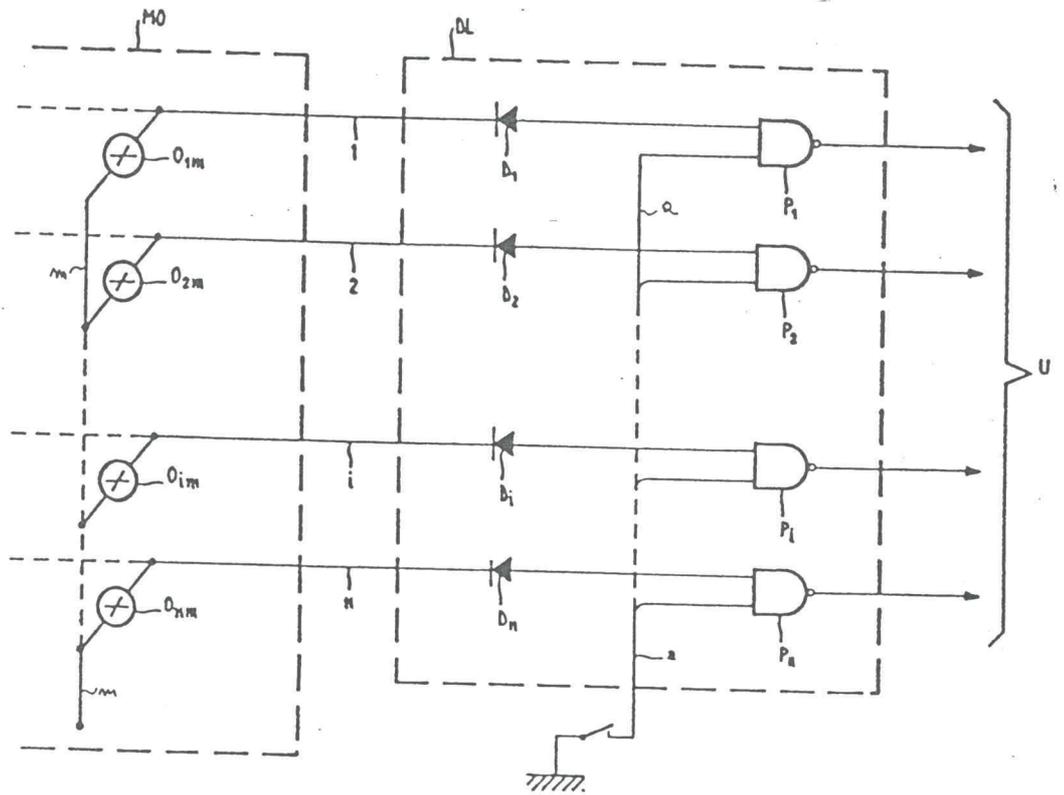


Fig.2

